

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-270267

(43)Date of publication of application : 29.09.2000

(51)Int.CI.

H04N 5/335

(21)Application number : 11-070725 (71)Applicant : NEC CORP

(22)Date of filing : 16.03.1999 (72)Inventor : TANAKA YOSHIKUNI

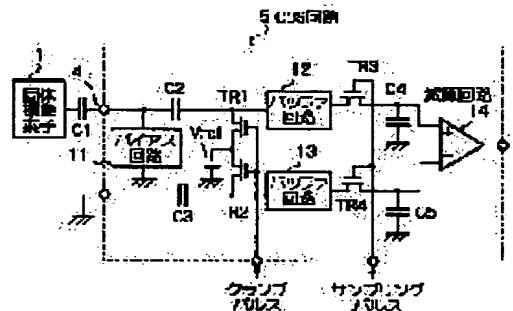
(54) NOISE ELIMINATION CIRCUIT FOR SOLID-STATE IMAGE PICKUP ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a noise elimination circuit whose occupied area and power consumption are reduced, no buffer circuit is required for an output of a solid-state image pickup element, the time constant can easily be set to a proper value and a reset noise can sufficiently be eliminated.

SOLUTION: A correlation double sampling circuit 5 has a bias circuit 11, capacitors C2, C3, MOS transistors(TRs) 1, 2, a reference voltage source Vref, buffer circuits 12, 13, MOS TRs TR3, TR4, capacitors C4, C5 and a subtractor circuit 14. A prescribed operating level is given to an output signal from a solid-state image pickup element 1 by the bias circuit 11. The capacitor C2 configures a clamp circuit with the MOS TR1.

After a reset level in the input signal of the solid-state image pickup element 1 receiving the prescribed operating level is clamped to the prescribed level Vref, the level is sampled and held by a sample-hold circuit consisting of the MOS TR4 and the capacitor C4 via the buffer circuit 12.



Best Available Copy

LEGAL STATUS

[Date of request for examination] 01.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3389949

[Date of registration]

17.01.2003

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

일본공개특허공보 평12-270267호(2000.09.29) 1부.

[첨부그림 1]

(1) 日本国特許庁 (JP)	(2) 公開特許公報 (A)	(1) 特許出願公開番号 特開2000-270267 (P2000-270267A)
(5) H04L H04N 5/335	類別記号 H04N 5/335	(4) 公開日 平成12年9月29日(2000.9.29) P 5C024

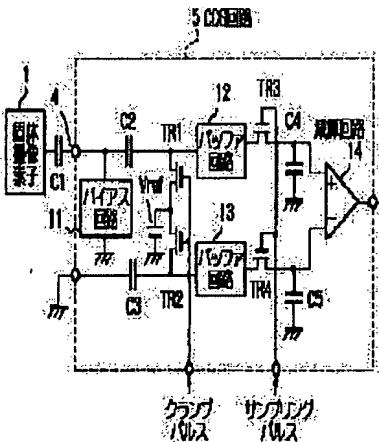
検索請求書		請求項の範囲	O.L. (全 8 項)
(21) 出願番号	特願平11-70725	(71) 出願人	00000227 日本電気株式会社 東京都港区北五丁目7番1号
(22) 出願日	平成11年3月16日(1999.3.16)	(72) 発明者	田中 俊司 東京都港区北五丁目7番1号 日本電気株式会社内

(54) [発明の名前] 固体撮像素子用雑音除去回路

【課題】 占有面積と消費電力を小さくでき、固体撮像素子の出力にバッファ回路が不要で、時定数が容易に周波数に調整可能でリセット雑音を充分に除去することができる、固体撮像素子用雑音除去回路を構成する。

【解決手段】 相間二重サンプリング回路5はバイアス回路1-1と電容器C2、C3とMOSトランジスタTR1、TR2と基礎電位源Vref1とバッファ回路1-2、1-3とMOSトランジスタTR3、TR4と電容器C4、C5と基準回路1-4を有する。固体撮像素子1の出力信号はバイアス回路1-1で所定の動作点電位を与えられる。電容器C2はMOSトランジスタTR1とともにクラップ回路を構成している。所定の動作電位を与えられた

固体撮像素子1の出力信号中のリセット電位は所定の電位Vref1にクラップされた後、バッファ回路1-2を経て、MOSトランジスタTR4と電容器C4で構成されるサンプリングホールド回路でサンプリホールドされる。



[첨부그림 2]

[特許請求の範囲]

【請求項1】 ゲート付き電荷積分回路を備えた固体撮像素子の出力信号を入力する第1の入力端子に接続され、該入力端子に動作点となる所定のバイアス電位を与えるバイアス回路と、

該バイアス回路で所定の動作電位に設定された出力信号中のリセット電位出力を所定の基准電位にクランプする第1のクランプ回路と、

接地に接続された第2の入力端子に接続され、第2の入力端子の電位を所定の基准電位にクランプする第2のクランプ回路と、

前記所定の基准電位を与える基准電位源と、

それぞれ第1、第2のクランプ回路の出力をサンプルホールドする第1、第2のサンプルホールド回路と、

第1のサンプルホールド回路の出力から第2のサンプルホールド回路の出力を測算する測算回路を有し、

半導体基板上に集成化されている相間二重サンプリング回路からなる固体撮像素子用雑音除去回路。

【請求項2】 ゲート付き電荷積分回路を備えた固体撮像素子の出力信号を入力端子に接続され、該入力端子に動作点となる所定のバイアス電位を与えるバイアス回路と、

前記固体撮像素子の出力信号中の基准電位出力をサンプリングする第1のサンプリングホールド回路と、

該固体撮像素子の出力信号中の信号電荷に対応した信号出力をサンプリングする第2のサンプリングホールド回路と、

前記バイアス回路で所定の動作電位に設定された出力信号を第1および第2のサンプリングホールド回路の動作点電位にクランプするクランプ回路と、

第1のサンプリングホールド回路の出力を、第2のサンプリングホールド回路のサンプリングパルスと同じサンプリングパルスでサンプリングする第3のサンプリングホールド回路と、

第2のサンプリングホールド回路の出力から第3のサンプリングホールド回路の出力を測算する測算回路を有し、

半導体基板上に集成化されている相間二重サンプリング回路からなる固体撮像素子用雑音除去回路。

【発明の詳細な説明】

【発明の属する技術】 本発明は固体撮像素子用の集成化雑音除去回路に関する。

【00002】

【従来の技術】 固体撮像素子は、フォトダイオードなどで構成された各受光素子で光電変換され蓄積された信号電荷を周知のゲート付き電荷積分回路(フローティング電荷局アンプとも呼ばれる)で電圧信号に変換する。このゲート付き電荷積分回路は、1画素の信号電荷を電圧に変換した後のリセット動作時にリセット電位を発生す

るため、これも周知の相間二重サンプリング法によってこのリセット雑音を除去して画像信号だけを取り出している。

【00003】 図6はゲート付き電荷積分回路を備えた固体撮像素子を使用した固体撮像装置の一例を示す構成図である。固体撮像素子1の出力信号はバッファ回路2を介して相間二重サンプリング回路(ODS回路)22に供給される。駆動パルス発生回路9は固体撮像素子1を駆動すると共にこれと同期したクランプパルスとリソブリングパルスの二つのパルス10を相間二重サンプリング回路22に供給する。相間二重サンプリング回路22はゲート付き電荷積分回路のリセット雑音を除去する。相間二重サンプリング回路22でリセット雑音が除去された出力信号は、AGC回路23で所定の大きさに增幅を調節された後、アナログデジタル変換器(A/D変換器)24でデジタル信号に変換され、次に映像信号処理回路8で映像信号が形成される。

【00004】 この相間二重サンプリング回路22を実現する具体的手段として、相間二重サンプリング回路22とAGC回路23やアナログデジタル変換器(A/D変換器)24を一箇の信号処理IC21に集成化して構成する手段がある。この信号処理IC21は通常、消費電力や実装密度の点からCMOS実装回路で構成されることが多い。

【00005】 図7はこのCMOS実装回路で構成された信号処理IC21の構成要素の内の相間二重サンプリング回路の具体的な構成の一例を示す回路図である。固体撮像素子1の出力信号はバッファ回路2に供給される。バッファ回路2はエミッターフォロワ回路など構成され、固体撮像素子1の高い出力インピーダンスを低出力インピーダンスに変換する。バッファ回路2の出力は電容器C1を介し、破線で示す信号処理IC21中の相間二重サンプリング回路(ODS回路)22に供給される。相間二重サンプリング回路22のMOSトランジスタTR1は電容器C1と共にクランプ回路を構成し、駆動パルス発生回路9から供給されたクランプパルスによって固体撮像素子1の出力信号中のリセット電位を所定の電位Vresetにクランプする。クランプされた出力信号は、次にバッファ回路2に供給され、バッファ回路2の出力は次にMOSトランジスタTR3に供給される。MOSトランジスタTR3と電容器C3はサンプリングホールド回路を構成し、駆動パルス発生回路9から供給されたサンプリングパルスによって固体撮像素子の出力信号中のリセット電位をサンプリングホールドして映像信号を得ている。

【00006】 電容器C2、MOSトランジスタTR2、バッファ回路26、MOSトランジスタTR4、電容器C4は、電容器C1、MOSトランジスタTR1、バッファ回路25、MOSトランジスタTR3、電容器C3と同一構成の回路を構成し、電容器C2は入力が接続されており、

【詮部格 3】

この回路は前記サンプリングホールドされた映像信号のクランプバルスとサンプリングバルスの影響を除去するのもので、測算回路 2/2 の負入力端子に接続されており、正入力に接続された前記サンプリングホールドされた映像信号から測算してクランプバルスとサンプリングバルスの影響を除去する。

【0.0.0.7】

【発明が解決しようとする課題】上記従来の技術において、相間二重サンプリング回路 2/2 の MOS ドラジスタ T.R.1 は容量 C.1 と共にクランプ回路を構成し、駆動バルス発生回路 2/2 から供給されたクランプバルスによって固体換像素子 1 の出力信号中のリセット電位出力を所定の電位 V.ref. にクランプしている。周知のとおり、固体換像素子のゲート付き電荷分回路の出力信号中のリセット電位出力期間にはリセット雑音が発生している。信号電荷による出力電圧はこのリセット雑音によって変動したりリセット電位を基準に出力された信号電荷による出力電圧をサンプリングすればリセット雑音が除去された映像信号が得られる。

【0.0.0.8】この一定電位へ固定する動作は、前記クランプバルスによって MOS ドラジスタ T.R.1 がオンしている期間に行われるが、リセット雑音を完全に除去するには、MOS ドラジスタ T.R.1 と容量 C.1 で構成されたクランプ回路はリセット電位出力を一定電位 V.ref. に完全に固定する必要がある。したがって、MOS ドラジスタ T.R.1 のオン抵抗と容量 C.1 による時定数が、前記クランプバルスの時間内でリセット電位出力を一定電位 V.ref. に完全に固定できる短い時定数でなければならない。

【0.0.0.9】しかしながら、容量 C.1 は小さい値の容量が使用できない。すなわち、MOS 集積回路で構成された相間二重サンプリング回路 2/2 の入力端子 4 は集積回路の構成要素が持つ寄生静電容量、すなわち、ボンディングパッドや配線、MOS ドラジスタ、パッファ回路などによる寄生静電容量があり、入力信号がこれら寄生静電容量と容量 C.1 との容量比で容量分割され、測算する。この容量分割による影響を無視できるようになるためには阻抗を 1/100 以下程度にしなければならず、容量 C.1 をこの寄生容量の 100 倍程度と充分大きくして寄生静電容量の影響を受けないようにする必要がある。小さい値の容量が使用できない。

【0.0.1.0】この大きな容量 C.1 を使用した場合、MOS ドラジスタ T.R.1 のオン抵抗と容量 C.1 による時定数を、クランプバルスの時間内でリセット電位出力を一定電位 V.ref. に完全に固定できる短い時定数にするには、MOS ドラジスタ T.R.1 のオン抵抗を充分小さくする必要がある。

【0.0.1.1】このため、MOS ドラジスタ T.R.1 はその寸法が大きいトランジスタを用いなければならず、C MOS 集積回路で構成する限り大きな面積を占有する欠点がある。さらにこの大きな容量 C.1 に一定電位を与える電位 V.ref. はクランプ時にその電位が変動しないよう大きな供給能力を持つている必要がある。これも同時に大きなドレンジストラトを用いて構成しなければならず、大きな面積を占有する欠点があった。同時に、大きな供給能力を持つたためには寸法の他にインピーダンスを低くしなければならないが、インピーダンスは電流に比例して低くなるから、～数 mA と大きなバイアス電流を流す必要があると消費電力が増大する欠点がある。さらに、大きな容量 C.1 を駆動するのに固体換像素子の出力には駆動能力の大きなパッファ回路を持たせる必要があり、これにも大きなバイアス電流を流す必要がある。[0.0.1.2] 以上の欠点に加えて、固体換像素子は通常数 MHz ～ 数 10 MHz で駆動されているため、MOS ドラジスタ T.R.1 に印加されるクランプバルスのバルス幅は数 nsec ～ ポロ秒と非常に短く、クランプ動作を完全に行わせるためには、MOS ドラジスタ T.R.1 のオン抵抗と容量 C.1 による時定数がクランプバルス幅と同様の時定数である必要があるが、C MOS 集積回路で相間二重サンプリング回路を構成しようとした際の前記欠点が大きな制約となるため、MOS ドラジスタ T.R.1 のオン抵抗と容量 C.1 による時定数をこの駆動可能な値にすることが難しく、リセット雑音を充分に除去することができず、画質が著しく劣化する欠点があった。

【0.0.1.3】本発明の目的は、占有面積と消費電力を小さくでき、また、固体換像素子の出力にパッファ回路が不要であって、かつ、時定数が容易に駆動可能な値に設定可能でリセット雑音を充分に除去することができ、したがって画質が改善できる、固体換像素子用雑音除去回路を提供することにある。

【0.0.1.4】

【課題を解決するための手段】本発明の固体換像素子用の簡素化雑音除去回路は、ゲート付き電荷分回路を備えた固体換像素子の出力信号を入力する第 1 の入力端子に接続され、該入力端子に動作点となる所定のバイアス電位を与えるバイアス回路と、該バイアス回路で所定の動作電位に設定された出力信号中のリセット電位出力を所定の基準電位にクランプする第 1 のクランプ回路と、接地に接続された第 2 の入力端子に接続され、第 2 の入力端子の電位を所定の基準電位にクランプする第 2 のクランプ回路と、前記所定の基準電位を与える基準電位源と、それぞれ第 1、第 2 のクランプ回路の出力をサンプルホールドする第 1、第 2 のサンプルホールド回路と、第 1 のサンプルホールド回路の出力から第 2 のサンプルホールド回路の出力を測算する測算回路を有し、半導体基板上に集成化されている相間二重サンプリング回路が

[첨부그림 4]

らなる。

【00-15】本発明の他の固体撮像素子用混合音除去回路は、ゲート付き電荷検分回路を備えた固体撮像素子の出力信号を入力端子に接続され、該入力端子に動作点となる所定のバイアス電位を与えるバイアス回路と、前記固体撮像素子の出力信号中の基準電位出力をサンプリングする第1のサンプリングホールド回路と、該固体撮像素子の出力信号中の信号電位に応じた信号出力をサンプリングする第2のサンプリングホールド回路と、前記バイアス回路で所定の動作電位に設定された出力信号を第1および第2のサンプリングホールド回路の動作点電位にクランプするクランプ回路と、第1のサンプリングホールド回路の出力を、第2のサンプリングホールド回路のサンプリングバルスと同じサンプリングバルスでサンプリングする第3のサンプリングホールド回路と、第2のサンプリングホールド回路の出力から第1のサンプリングホールド回路の出力を減算する減算回路を有し、半導体基板上に集成化されている相間二重サンプリング回路がなる。

【00-16】上述の混合音除去回路によれば、クランプ用の容量を柔軟回路の内部に構成することで、これも柔軟回路内部に構成されたクランプ用のトランジスタと併せて、外部の結合容量に依存することなくクランプ用の容量の値を設定できるので、クランプ回路の特性の柔軟化が容易で、リセット雑音を充分に除去することができ、画質が改善できる固体撮像素子用の柔軟化雑音除去回路が実現できる。さらに、小さな寸法のMOSトランジスタと小さな容量でクランプ回路を構成でき、占有面積が小さく、かつ一定電位を与える電位V.refの供給能力も小さくできる。また、固体撮像素子の出力にパッファ回路が不要であるため、撮像装置の消費電力を小さくできる。

【00-17】

【発明の実施の形態】(実施例1) 次に、本発明の実施の形態について図面を参照して説明する。図1を参照すると、ゲート付き電荷検分回路を備えた固体撮像素子を使用し、本発明による柔軟化された雑音除去回路を備えた固体撮像装置の一例が示されている。

【00-18】固体撮像素子1の出力信号は相間二重サンプリング回路(CDS回路)5に供給される。駆動バルス発生回路6は固体撮像素子1を駆動すると共にこれと同期したクランプバルスとサンプリングバルスの二つのバルス1/0を相間二重サンプリング回路5に供給する。相間二重サンプリング回路5はゲート付き電荷検分回路のリセット雑音を除去する。相間二重サンプリング回路5でリセット雑音が除去された出力信号は、AGC回路6で所定の大きさに減算され、アナログデジタル変換器(AN/D変換器)7でデジタル信号に変換され、次に映像信号処理回路8で映像信号を形成している。

【00-19】相間二重サンプリング回路(CDS回路)5は図8の従来例と同様に、信号処理IC3の中に集成化回路として構成されている。図2にこの相間二重サンプリング回路5の詳細な構成を示す。固体撮像素子1は図6で示した従来例と同様のゲート付き電荷検分回路を備えた固体撮像素子である。この固体撮像素子1の出力信号は結合容量C1を介して相間二重サンプリング回路(CDS回路)5の入力端子4に供給されている。結合容量C1を介してCDS回路5の入力端子4に入力された出力信号はバイアス回路1/1によって所定の動作点をもたらす。次に、クランプ容量C2に供給される。このクランプ容量C2はMOSトランジスタT.R1としてクランプ回路を構成している。この構成においては、外部の結合容量C1は図7の従来例の構成と異なり、単なる結合用の容量である。他方、相間二重サンプリング回路5における雑音除去のクランプ動作を行うための容量は図2に示した容量C2であり、このクランプ用の容量C2は雑音回路の内部素子として構成されている。

【00-20】ここで、結合用の容量C1の作用について説明する。固体撮像素子1の出力信号が動作点となる直流電位をもって出力されているが、通常この直流電位は数V～10数V程度であり、一方、柔軟回路で構成された相間二重サンプリング回路5の信号の入力端子の耐圧は通常5V以下であるため、固体撮像素子1の出力動作点の直流電位が相間二重サンプリング回路5の信号入力端子の耐圧を上回っている。そこで、この外部の結合容量C1はこの出力の直流電位を遮断して相間二重サンプリング回路5の入力端子4に固体撮像素子1の出力の直流電位が印加されないようにする働きを行う。

【00-21】次に、図2においてバイアス回路1/1は、固体撮像素子1の出力信号が結合容量C1で直流電位を遮断して入力端子4に印加されているため、信号処理IC3内部の回路動作に端曲なあらかじめ定めた所定の動作点電位を与えるためのものである。このバイアス回路1/1で所定の動作点電位を与えた出力信号は次に容量C2に印加される。

【00-22】前記のとおり、相間二重サンプリング回路5における雑音除去のクランプ動作を行うための容量は図2における容量C2である。このクランプ容量C2はMOSトランジスタT.R1としてクランプ回路を構成している。MOSトランジスタT.R1はクランプバルスによって固体撮像素子1の出力信号中のリセット電位を所定の電位V.refにクランプする。クランプされた出力信号は、次にパッファ回路1/2に供給され、パッファ回路1/2の出力は次にMOSトランジスタT.R3に供給される。MOSトランジスタT.R3と容量C4はサンプリングホールド回路を構成し、サンプリングバルスによって固体撮像素子1の出力信号中の信号電位をサンプリングホールドして映像信号を得ている。

【00-23】図3はこの相間二重サンプリング回路5の

[첨부그림 5]

動作を示す波形図である。期間T-1は固体換像素子のゲート付き電荷積分回路のリセット動作を行っている期間、期間T-2はリセット後の基準電位出力期間、期間T-3は信号電位出力期間である。信号電位出力は「高電位」とのリセット動作毎にリセット録音が発生するため、図3のCCD出力信号波形に示すとおり、時刻T-0の基準電位出力に対し、時刻T-1ではVn-1、時刻T-2ではVn-2、時刻T-3ではVn-3と電位が変動してリセット録音が発生している。信号電荷による出力信号はこの基準電位から信号電荷量に応じて変化するから、図3に示すとおり、時刻T-1でMOSトランジスタTR-1をクランプバルスによってオンし、固体換像素子1の出力信号中の電位変動を起こしている基準電位出力を所定の電位Vn-1にクランプするリセット録音による電位変動成分が除去される。次に、時刻T-2で信号電荷に対応した出力信号をサンプリングホールドするリセット録音が除去された信号が得られる。

【0024】周知のとおり、相間二重サンプリング回路5の動作は、図3のCCD出力信号波形に示すとおり、時刻T-0の電位を基準に見ると、時刻T-1ではVn-1、時刻T-2ではVn-2、時刻T-3ではVn-3…のリセット録音が発生しているからMOSトランジスタTR-1をクランプバルスによってオンし、固体換像素子1の出力信号中の電位変動を起こしている基準電位出力を所定の電位Vn-1にクランプしてこのリセット録音を除去している。このリセット録音を完全に除去するためにはMOSトランジスタTR-1とクランプ電位C2とのクランプ時定数を最適に設定する必要がある。

【0025】図2に示した結合電位C1とクランプ電位C2の静電容量の関係をC1>C2となるように設定すると、クランプ時定数は結合電位C1に依存せず、クランプ電位C2だけで決定することができる。したがって相間二重サンプリング回路5を信号処理IC-3の中に集積化回路として構成する時にMOSトランジスタTR-1は従来のように外部の電位C1に依存する必要がなく、クランプ電位C2に合わせた小さい寸法のトランジスタでよいのでMOSを集積回路で構成するときも小さな占有面積でよい。同時に、一定電位を与える電位Vn-1も供給電力を小さくすることができる。

【0026】また、MOSトランジスタTR-1とクランプ電位C2をそれぞれ最適化することが容易にでき、その結果、相間二重サンプリング回路5からは録音が完全に除去された出力信号が得られる。さらに、相間二重サンプリング回路5の入力端子4の静電容量はほぼクランプ電位C2に等しく、非常に小さな値であるため、図1において示したバッファ回路を、通常、不要にすることができる。

【0027】図4にこの入力端子4と固体換像素子1との出力信号の接続を示す。図4において、固体換像素子1の周知のゲート付き電荷積分回路(フローティング

電荷アンプとも呼ばれる)では信号電荷が電圧信号に変換されている。水平CCD-1から伝送された信号電荷Qnはフローティング基底層C1にて、Vn=Qn/C1の関係式で電圧Vnに変換され、次にMOSトランジスタTR-2、TR-3、TR-4、TR-5から成るソースフォロワ回路で外部に出力されている。このMOSトランジスタTR-2、TR-3、TR-4、TR-5から成るソースフォロワ回路はフローティング基底層C1の微弱な信号電圧Vnを外部に取り出せるように出力インピーダンスを小さくする動作を行っている。しかしながら、周知のとおり、ソースフォロワ回路の出力インピーダンスは約100オーム程度で比較的高い出力インピーダンスである。このため大きな負荷を駆動することができない。しかしながら、本発明の相間二重サンプリング回路5は前述のとおり、入力端子4の静電容量はほぼクランプ電位C2に等しい非常に小さな値で負荷が非常に小さいため、このソースフォロワ回路で駆動することが容易に可能である。したがって、図4に示したとおり、固体換像素子1のソースフォロワ回路から得られる出力信号を、前記したソースフォロワ回路の出力の直流電圧を遮断するための結合電位C1を介して相間二重サンプリング回路5に直接投入することができる。固体換像素子1と相間二重サンプリング回路5との間にバッファ回路が不要である。

【0028】なお、図4において、電位C3、MOSトランジスタTR-2、バッファ回路13、MOSトランジスタTR-4、電位C5からなる回路は、クランプ電位C2、MOSトランジスタTR-1、バッファ回路12、MOSトランジスタTR-3、電位C4と同一構成の回路である。電位C3は入力が接地されており、この回路は前記サンプリングホールドされた映像信号のクランプバルスとサンプリングバルスの影響を除去するためのもので、映像回路14の負入力端子に接続されており、正入力に接続された前記サンプリングホールドされた映像信号から算出してクランプバルスとサンプリングバルスの影響を除去している。

【0029】相間二重サンプリング回路5の出力は次に周知の映像信号処理を行うカラービデオ信号を形成する。すなはち図1の第1の実施形態においては、必要なならばAGC回路6で所定の大きさに強度を調整された後、アナログデジタル変換器(A/D変換器)7でデジタル信号に変換され、次に映像信号処理回路8で映像信号を形成している。

【実施形態2】次に、本発明の第2の実施形態について図5を参照して説明する。第2の実施形態は、固体換像素子のゲート付き電荷積分回路のリセット後の基準電位出力と信号電位出力をそれぞれサンプリングホールドして、この二つの信号の差分を求めてリセット録音を除去する構成となっている。

【0030】固体換像素子1の出力信号は結合電位C1

[첨부그림 6]

を介して、相間二重サンプリング回路 5 の入力端子 4 に供給される。バイアス回路 1.6 は第 1 の実施形態と同様に、入力された固体換像素子 1 の出力信号に所定の動作点を与えるものである。本実施形態のバイアス回路 1.6 は固体換像素子 1 の出力信号のサンプリング期間の無信号時にバイアスクラップバルスによって所定の電位にクランプして固体換像素子 1 の出力信号に所定の動作点を与える構成となっているが、図 2 の実施形態のバイアス回路 1.1 のように直通を与える構成でもよい。

【0031】次に、所定の動作点を与えた出力信号は、クランプ電荷 C 2 に供給される。このクランプ電荷 C 2 はクランプ回路 1.7 とでクランプ回路を構成する。クランプ回路 1.7 は固体換像素子 1 の出力信号を次段のサンプリングホールド回路の動作点に合わせて直流電位を決める動作を行なうクランプ回路で、固体換像素子 1 の出力信号のサンプリング期間の無信号時に固体換像素子 1 の出力信号をロジクルスによって S/H 回路の動作点の電位にクランプする。

【0032】次に、動作点の電位にクランプされた出力信号を、次に、固体換像素子 1 の出力信号中の信号電荷に対応した出力信号をサンプリングホールド回路 (S/H 回路) 1.9 でサンプリングホールドする。同様に、サンプリングホールド回路 1.9 で固体換像素子 1 の出力信号中の基準電位をサンプリングホールドする。信号電荷に対応した出力信号の出力期間と基準電位の出力期間は異なるため、この時間を合わせるため、サンプリングホールド回路 1.9 でサンプリングホールドされた固体換像素子 1 の出力信号中の基準電位を、サンプリングホールド回路 2.0 によって固体換像素子 1 の出力信号中の信号電荷に対応した出力信号をサンプリングホールドするサンプリングバルスと同じサンプリングバルスでサンプリングホールドして信号電荷に対応した出力信号と位相を合わせる。次に計算回路 1.4 でサンプリングホールド回路 (S/H 回路) 1.8 とサンプリングホールド回路 2.0 の出力の差分を求めるとリセット録音が除去された信号が得られる。以後の信号処理は第 1 の実施形態と同様である。

【0033】
【発明の効果】以上説明したように、本発明は、クランプ用の電荷を集積回路の内部に構成することで、集積回路内部に構成されたクランプ用のトランジスタと併せて、クランプ回路の特性が最適になるようにクランプ用の電荷の値を設定できる。

【0034】クランプ電荷とクランプトランジスタが外部の電荷に依存することなく最適化することができるから、小さな寸法の MOS ドラゴンジスタと小さな電荷でクランプ回路を構成でき、占有面積が小さく、かつ、一定の電位を与える電位 Vref の供給能力も小さくできる。

したがって、一定電位を与える電位 Vref の消費電力が少なく、また、固体換像素子の出力にバッファ回路が不要にできるため消費電力が小さくできる。

【0035】以上に加えて、MOS ドラゴンジスタ T-R1 のオン抵抗と電荷 C2 による時定数の最適化が容易にでき、リセット録音を充分に除去することができ、画質が改善できる固体換像素子用の集積化録音防亜回路が実現でき、従来の問題点が解決できる。

【図 1】本発明による実現化された録音防亜回路を適用した回路構成図である。

【図 2】相間二重サンプリング回路の詳細な構成を示す構成図である。

【図 3】相間二重サンプリング回路の動作を示す波形図である。

【図 4】入力端子 4 と固体換像素子 1 との出力信号の接続を示す図である。

【図 5】本発明の第 2 の実施形態を示す構成図である。

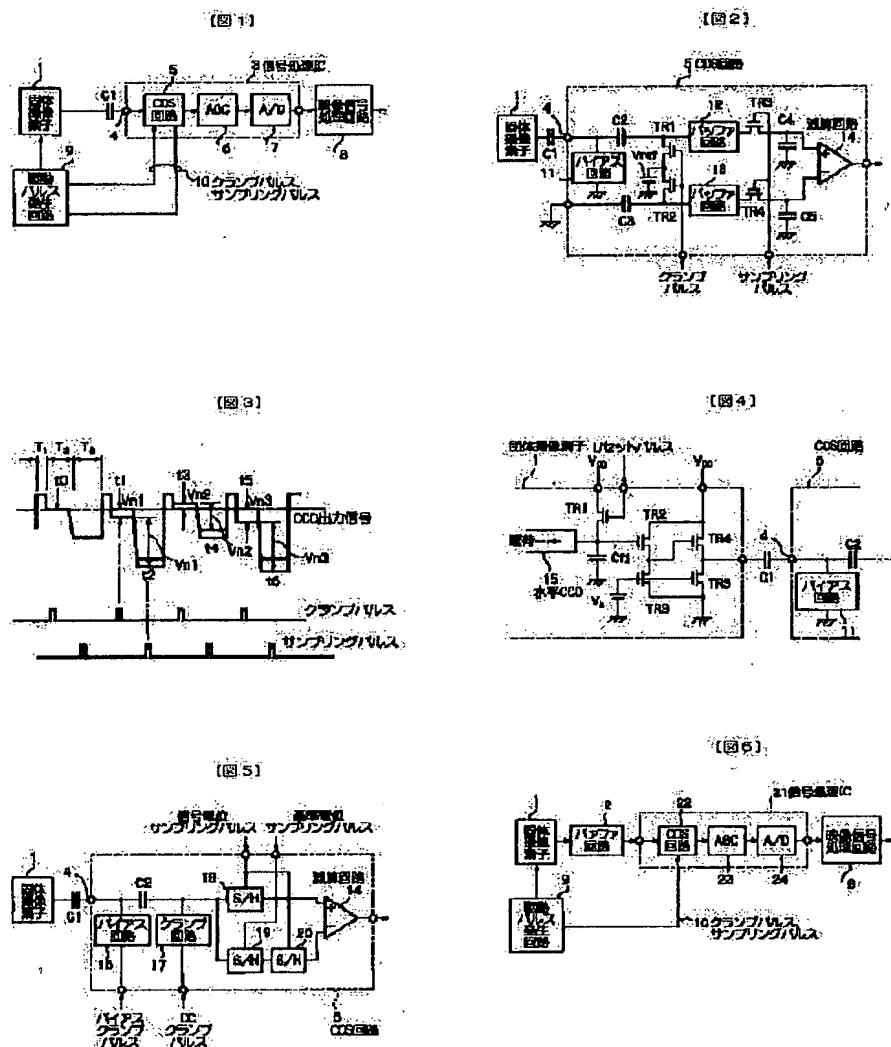
【図 6】従来の、ゲート付き電荷移分回路を備えた固体換像素子を使用した固体換像装置の一例を示す構成図である。

【図 7】従来の相間三重サンプリング回路の具体的な構成例を示す回路図である。

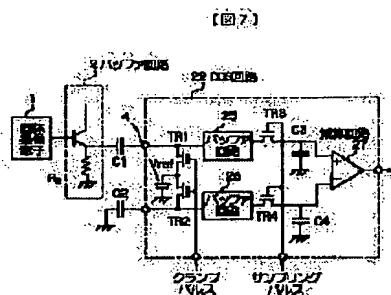
【符号の説明】

- 1 固体換像素子
- 2 バッファ回路
- 3 信号処理 IC
- 4 入力端子
- 5 相間二重サンプリング回路
- 6 AGC回路
- 7 アナログデジタル変換器
- 8 映像信号処理回路
- 9 駆動バルス発生回路
- 10 クランプバルス、サンプリングバルス
- 11 バイアス回路
- 12 1.3 バッファ回路
- 14 固定回路
- 15 バイアス回路
- 17 クランプ回路
- 18 T9, 2.0 サンプリングホールド回路
- 21 信号処理 IC
- 22 相間二重サンプリング回路
- 23 AGC回路
- 24 アナログデジタル変換器
- 25 2.5 バッファ回路
- C1~C5 電荷
- T-R1~T-R4 トランジスタ
- Vref 基準電圧源

[첨부그림 7]



[첨부그림 8]



8-8

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.